



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0049249
Application Number

출원년월일 : 2003년 07월 18일
Date of Application JUL 18, 2003

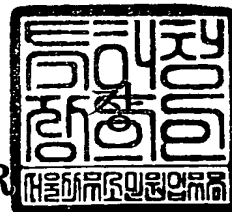
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0021
【제출일자】 2003.07.18
【발명의 명칭】 반도체 소자의 금속 배선층 형성방법
【발명의 영문명칭】 METHOD OF FORMING METAL LINE LAYER IN SEMICONDUCTOR DEVICE
【출원인】
【명칭】 (주)하이닉스 반도체
【출원인코드】 1-1998-004569-8
【대리인】
【성명】 신영무
【대리인코드】 9-1998-000265-6
【포괄위임등록번호】 1999-003525-1
【발명자】
【성명의 국문표기】 이준현
【성명의 영문표기】 LEE, Joon Hyeon
【주민등록번호】 711227-1227224
【우편번호】 361-480
【주소】 충청북도 청주시 흥덕구 향정동 하이닉스반도체 시스템 IC(연구소) L P2팀
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 신영무 (인)
【수수료】
【기본출원료】 17 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 29,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 금속 배선층 형성방법에 관한 것으로, 반도체 구조물 상에 금속 배선층을 증착하는 단계와, 금속 배선층 상에 절연막 및 감광 물질을 차례로 형성하는 단계와, 감광 물질 및 상기 질화막을 마스크로 상기 금속 배선층을 패터닝하는 단계와, 감광 물질을 제거하는 단계와, 질화막을 등방성으로 식각하는 단계를 포함한다.

이를 통해서, 금속 배선층 형성공정에서, 금속 폴리머 및 금속 잔류물이 완전히 제거하여 브리지 현상을 유발하는 소스가 제거가능하여 반도체 소자의 신뢰성이 크게 향상시킬 수 있는 효과가 있다.

【대표도】

도 3

【색인어】

금속 배선층, 질화막, 신뢰성

【명세서】

【발명의 명칭】

반도체 소자의 금속 배선층 형성 방법{METHOD OF FORMING METAL LINE LAYER IN SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래 기술에 의한 반도체 소자의 금속 배선층 형성 방법을 설명하기 위한 도면들이다.

도 2a 내지 도 2d는 본 발명의 바람직한 실시예에 따른 반도체 소자의 금속 배선층 형성 방법을 설명하기 위한 도면들이다.

도 3 및 도 4는 본 발명의 실시예에 따른 금속 배선층 형성방법에 있어서, 금속 폴리머 및 금속 잔류물을 제거하는 과정을 설명하기 위한 도면들이다.

*도면의 주요부분에 대한 간단한 설명

110, 210 : 금속 배선층

120, 220 : 감광 물질

130, 230 : 금속 폴리머

132, 232 : 금속 잔류물

140, 240 : 산화막

216 : 질화막

218 : Barc층

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 반도체 소자의 금속층 형성 방법에 관한 것으로, 보다 구체적으로는 금속 배선을 증착 한 후에 하드 마스크로 절연막을 증착하고 금속 배선층을 패터닝하여 금속 배선층을 신뢰성 있게 형성하는 방법에 관한 것이다.
- <10> 이하, 도 1a 내지 도 1b를 참조하여 반도체 소자의 금속 배선층 형성방법을 상세히 설명한다.
- <11> 도 1a를 참조하면, 하부 산화막(미도시) 상에 금속 배선층(110)을 증착시킨다. 이 때, 금속 배선층(110)은 다층 구조를 가질 수 있다. 다음으로, 감광 물질(120)을 도포하여 원하는 부위를 오픈시킨다.
- <12> 도 1b를 참조하면, 패터닝된 감광물질(120)을 마스크로 하여 금속 배선층(110)을 건식 식각한다. 그러나, 금속 배선층(110)을 건식 식각하는 과정에서 금속 배선층(110) 상부에 있는 감광 물질(120)이 단단해 져서 금속 폴리머(130)가 생성될 수 있다. 실제 공정에서는 감광 물질(120)을 완전히 제거하기 전에는 구분할 수 없지만 감광 물질(120)을 제거하고 난 후에 금속 폴리머(130)가 완전히 제거되지 않고 금속 배선층(110) 상부에 잔류하는 경우가 많다. 또한, 금속 배선층을 건식 식각 완료한 후에 노출되는 하부 산화막(140) 상부에는 금속 잔류물(131)이 생성되어 금속 배선층(110)의 브리지를 유발시킨다.

<13> 또한, 금속 배선층(110)을 패터닝할 때, 감광 물질(120)과의 선택비 부족으로 금속 배선층(110)의 건식 식각 진행시, 감광 물질의 손실이 심하여 금속 배선층(110) 상부가 어택(attack)을 받게 되어 패턴이 불량해 질 수 있다. 특히, 금속 배선층(110)이 Ti/TiN계열을 함유하여 형성된 다층 금속층인 경우는 이와 같은 문제점은 더욱 심각하다.

<14> 따라서, 금속 배선층의 형성 공정에서, 안정성을 확보하기 위한 대책이 절실히 요구되고 있는 실정이다.

【발명이 이루고자 하는 기술적 과제】

<15> 본 발명은 상술한 바와 같은 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 반도체 소자의 금속 배선층 형성 공정에서 안정적인 공정조건을 확보하기 위한 것이다.

【발명의 구성 및 작용】

<16> 상술한 문제점을 해결하기 위하여, 본 발명의 일측면은 반도체 구조물 상에 금속 배선층을 증착하는 단계; 금속 배선층 상에 절연막 및 감광 물질을 차례로 형성하는 단계; 감광 물질 및 상기 절연막을 마스크로 금속 배선층을 패터닝하는 단계; 감광 물질을 제거하는 단계; 및 절연막을 등방성으로 식각하는 단계를 포함하는 반도체 소자의 금속 배선층 형성 방법을 제공한다.

<17> 금속 배선층은 Ti/TiN층과 Al층으로 구성된 다층 구조일 수 있고, 바람직하게는 제 1 Ti/TiN층, Al층 및 제 2 Ti/TiN층이 차례로 적층된 구조를 가진다.

<18> 바람직하게는, 절연막은 질화막이고, 반도체 구조물의 최상층은 산화막으로 이루어져 있다.

- <19> 한편, 절연막과 감광 물질의 형성 사이에, 상기 감광 물질의 패터닝 진행시 빛의 난반사를 방지하기 위하여 Barc층을 형성하는 단계를 추가로 포함할 수 있다.
- <20> Barc층 및 상기 절연막은 $\text{CHF}_3/\text{CF}_4/\text{Ar}$ 가스를 포함하는 활성화 플라즈마를 이용하여 단일 스텝으로 식각하거나, CxFy (x,y는 자연수)/ O_2/Ar 가스를 포함하는 활성화 플라즈마를 이용하여 단일 스텝으로 식각할 수 있다. 또한, 다른 대안으로, Barc층은 $\text{O}_2/\text{N}_2/\text{Ar}$ 가스를 포함하는 활성화된 플라즈마를 이용하여 건식 식각하고, 상기 절연막은 $\text{CHF}_3/\text{CF}_4/\text{Ar}$ 가스 또는 CxFy (x,y는 자연수)/ O_2/Ar 가스를 포함하는 활성화 플라즈마를 이용하여 건식 식각할 수도 있다.
- <21> 바람직하게는, 절연막을 식각하는 단계는 O_2/CF_4 가스를 이용하여 다운플로우(Down Flow) 방식으로 실시한다.
- <22> 또한, 절연막을 식각하는 단계 이후에, 잔류한 금속 폴리머 및/또는 금속 잔류물을 제거하기 위해 세정공정을 실시하는 단계를 추가로 포함하는 것도 가능하다.
- <23> 이하, 본 발명의 일실시예에 따른 금속 배선층 형성 방법을 상세히 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전 하도록 하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- <24> 이하, 도 2a 내지 도 2d를 참조하여 본 발명의 바람직한 실시예에 따른 반도체 소자의 금속 배선층 형성 방법을 상세히 설명한다.

<25> 도 2a를 참조하면, 최상층에 하부 산화막이 형성된 반도체 구조물(미도시) 상에 금속 배선층(210)을 형성한다. "반도체 구조물"이라 함은 반도체 기판 상에 반도체 공정에서 사용되는 각종 절연막, 도전막 등을 패터닝하여 제조한 구조물을 일컫는 총칭이다. 반도체 구조물 내부에는 컨택 플러그 등이 형성되어 있을 수 있음은 물론이다. 금속 배선층(210)은 제 1 Ti/TiN층(210a), Al층(210b) 및 제 2 Ti/TiN층(210c)을 포함하여 구성가능하다. 제 1 Ti/TiN막(210a)의 Ti층은 접착력을 강화하고, TiN층은 확산방지막의 역할을 한다. Al층(210b)은 저항이 낮기 때문에 주로 전기적 신호를 전달하는 역할을 수행하며, 제 2 Ti/TiN막(210a)의 Ti층은 접착력을 강화하고, TiN층은 감광물질의 패터닝시 빛을 흡수하여 빛의 반사를 줄여주는 역할을 한다. 하부 산화막은 IMD(Inter Metal Dielectric) 또는 PMD(pre Metal Dielectric) 등 특별히 제한되지 않고 다양한 종류가 가능하다.

<26> 도 2b를 참조하면, 전체 구조 상에 질화막(216)을 증착한다. 한편, 질화막(216) 상부에는 추가로 Barc층(Bottom Anti Reflect Coating: 218)을 증착하여 감광 물질(220)을 패터닝할 때 빛의 반사를 줄여 감광 물질의 패터닝이 더 정확하게 이루어 질 수 있도록 구성 가능하다. 도 2b에는 질화막(216) 상부에 Barc층(218)이 증착된 상황을 도시하고 있다.

<27> 도 2c를 참조하면, 소정 부위에 패터닝된 감광물질(220)을 마스크로 하여 Barc층(218) 및 질화막(216)을 식각한다. Barc층(218) 및 질화막(216)은 단일 스텝으로 건식 식각으로 진행할 수 있다. Barc층(218)의 건식 식각시, CHF₃/CF₄/Ar 등으로 활성화 플라즈마를 이용하여 건식 식각 공정을 진행한다. 다른 방법으로는 CxFy(x,y는 자연수)/O₂/Ar등의 가스를 이용할 수 있다. 또한, Barc층(218)은 O₂/N₂/Ar등으로 활성화된 플라즈마를 이용하여 건식 식각을 진행할 수도 있다. CHF₃/CF₄ 가스를 이용하여 Barc층(218)의 건식 식각시는 충분한 과도식각을 해주기 때문에 단일 스텝으로 진행하여도 Barc층(218) 하부에 있는 마스크인 질화막(216)까지

충분히 식각된다. 그러나, $O_2/N_2/Ar$ 등으로 활성화된 플라즈마를 이용하여 건식 식각시는 Barc층(218) 하부에 있는 마스크인 질화막(216)까지 충분히 식각되지 않기 때문에 따로 질화막(216)을 식각하는 공정을 추가로 실시하는 것이 바람직하다.

<28> 도 2d를 참조하면, 감광물질(220), Barc층(218) 및 질화막(216)을 마스크로 금속 배선층(210)을 식각한다. $Cl_2/BCL_3/N_2$ 가스의 조합으로 이루어진 활성화 플라즈마로 금속 배선층(210)을 패터닝할 수 있다. 이 경우, 금속 배선층(210)을 건식 식각 진행하는 과정에서 금속 배선층(210) 상부에 있는 감광 물질(220)이 단단해 지고, 금속 폴리머(230)이 생성될 수 있다. 이는 감광 물질(220)을 제거하기 전에는 구분할 수가 없지만 감광 물질(220)을 제거했을 때 금속 폴리머(230)가 완전히 제거되지 않아 금속 배선층(210) 상부에 남게 된다. 한편, Barc층(218)도 감광물질(220)의 제거시 함께 제거될 수 있다. 또한, 금속 배선층(210)을 건식 식각 진행 완료 후에 노출된 하부 산화막(240) 상부에는 금속 잔류물(232)이 발생하게 되어 금속 브리지를 유발할 수 있다. 따라서, 금속 배선층(210)을 패터닝하고 난 다음에 세정 공정을 진행하기 전에 금속 폴리머(230) 및 금속 잔류물(232)을 제거하는 공정을 추가로 실시한다.

<29> 이하, 본 발명의 실시예에 따른 금속 배선층 형성방법에 있어서, 금속 폴리머 및 금속 잔류물을 제거하는 과정을 설명하기 위한 도면들이다.

<30> 도 3은 도 2d의 금속 배선층(210) 부분을 확대한 도면으로, 금속 폴리머(230)를 제거하는 상황을 설명하기 위한 도면이다. O_2/CF_4 가스를 이용하여 다운플로우(Down Flow) 방식을 이용하여 하드 마스크인 질화막(216)을 식각 진행한다. 다운플로우 방식은 플라즈마 방식과는 달리 등방성 특성을 보이면서 식각이 진행되기 때문에 질화막(216)은 오버 에치가 된다. 도 3에는 오버 에치된 질화막(216)이 도시되어 있다. 따라서, 이러한 방식을 통해서 질화막(216)을 완전히 제거하면, 질화막(216) 상부에 잔류한 금속 폴리머(230)가 제거된다. 그러나, 경우

에 따라서는 금속 폴리머(230)의 일부가 잔류할 수 있으므로 세정공정을 추가로 실시하여 완전히 제거하는 것이 필요할 수 있다. 세정공정으로는 탈이온수를 이용한 세정, LCT 935, 928(애쉬랜드사의 모델) 등을 이용한 세정등이 가능하다.

<31> 도 4는 도 2d의 산화막(240) 부분을 확대한 도면으로, 금속 잔류물(232)을 제거하는 상황을 설명하기 위한 도면이다.

<32> 이 과정은 다운 플로우 방식으로 질화막을 제거할 때, 산화막(240)의 상부에 있는 금속 잔류물(240)이 제거되는 상황을 도시한 도면으로, 산화막(240)의 선택비가 12:1로 우수하여 금속 배선층의 상부에 있는 질화막(216)이 제거될 때 산화막(240)은 상대적으로 적게 식각된다. 그러나, 비록 식각률은 느리지만 등방성 식각이 진행되어 금속 잔류물(232)의 하부로 식각이 진행됨으로 인해서 산화막(240)의 손실이 크지 않으면서 금속 잔류물(232)을 제거할 수 있게 된다.

<33> 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<34> 상술한 구성을 통하여, 금속 배선의 높이(즉, 산화막의 손실부분부터 금속 배선층의 두께를 계산할 때)가 높으면 후속공정인 금속 배선 공정인 층간 절연막(미도시)을 증착할 때 층간 절연막이 잘 채워지지 않아 보이드가 발생하는 수도 있다. 하지만, 본 발명에 의하면, 하드

마스크인 질화막을 이용하여 금속 배선층을 건식 식각을 진행하여 감광물질과의 선택비 부족 문제를 해결하였고, 그 이후에 질화막을 제거하여 금속 배선층의 높이를 낮출 수 있게 됨은 물론이고, 금속 폴리머 및 금속 잔류물 등도 제거할 수 있게 된다.

<35> 즉, 금속 배선층 형성 후에 질화막 제거 공정을 통해서 금속 폴리머 및 금속 잔류물이 완전히 제거되면 브리지 현상을 유발하는 소스가 없게 되어 반도체 소자의 신뢰성이 크게 향상될 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 구조물 상에 금속 배선층을 증착하는 단계;

상기 금속 배선층 상에 절연막 및 감광 물질을 차례로 형성하는 단계;

상기 감광 물질 및 상기 절연막을 마스크로 상기 금속 배선층을 패터닝하는 단계;

상기 감광 물질을 제거하는 단계; 및

상기 절연막을 등방성으로 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속 배선층 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 금속 배선층은 Ti/TiN층과 Al층으로 구성된 다층 구조인 것을 특징으로 하는 반도체 소자의 금속 배선층 형성방법.

【청구항 3】

제 1 항에 있어서,

상기 절연막은 질화막인 것을 특징으로 하는 반도체 소자의 금속 배선층 형성방법.

【청구항 4】

제 2 항에 있어서,

상기 금속 배선층은 제 1 Ti/TiN층, Al층 및 제 2 Ti/TiN층이 차례로 적층되어 있는 것을 특징으로 하는 반도체 소자의 금속 배선층 형성방법.

【청구항 5】

제 1 항에 있어서,

상기 반도체 구조물의 최상층은 산화막인 것을 특징으로 하는 반도체 소자의 금속 배선층 형성방법.

【청구항 6】

제 1 항에 있어서,

상기 절연막과 상기 감광 물질의 형성 사이에, 상기 감광 물질의 패터닝 진행시 빛의 난 반사를 방지하기 위하여 Barc층을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체 소자의 금속 배선층 형성방법.

【청구항 7】

제 6 항에 있어서,

상기 Barc층 및 상기 절연막은 $\text{CHF}_3/\text{CF}_4/\text{Ar}$ 가스를 포함하는 활성화 플라즈마를 이용하여 단일 스텝으로 식각하는 것을 특징으로 하는 반도체 소자의 금속 배선층 형성방법.

【청구항 8】

제 6 항에 있어서,

상기 Barc층 및 상기 절연막은 C_xF_y (x, y 는 자연수)/ O_2/Ar 가스를 포함하는 활성화 플라즈마를 이용하여 단일 스텝으로 식각하는 것을 특징으로 하는 반도체 소자의 금속 배선층 형성 방법.

【청구항 9】

제 6 항에 있어서,

상기 Barc층은 $O_2/N_2/Ar$ 가스를 포함하는 활성화된 플라즈마를 이용하여 건식 식각하고, 상기 절화막은 $CHF_3/CF_4/Ar$ 가스 또는 C_xF_y (x, y 는 자연수)/ O_2/Ar 가스를 포함하는 활성화 플라즈마를 이용하여 건식 식각하는 것을 특징으로 하는 반도체 소자의 금속 배선층 형성방법.

【청구항 10】

제 1 항에 있어서,

상기 절연막을 식각하는 단계는 O_2/CF_4 가스를 이용하여 다운플로우(Down Flow) 방식을 이용하는 것을 특징으로 하는 반도체 소자의 금속 배선층 형성방법.

【청구항 11】

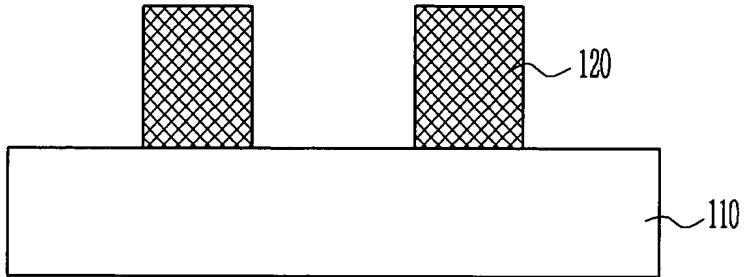
제 1 항에 있어서,

상기 절연막을 식각하는 단계 이후에,

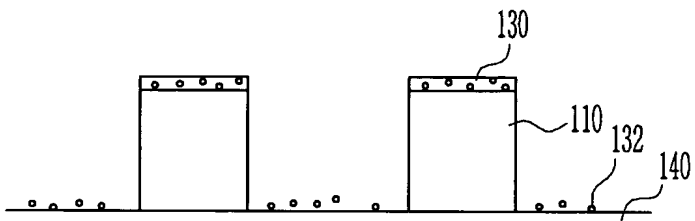
잔류한 금속 폴리머 및/또는 금속 잔류물을 제거하기 위해 세정공정을 실시하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체 소자의 금속 배선층 형성방법.

【도면】

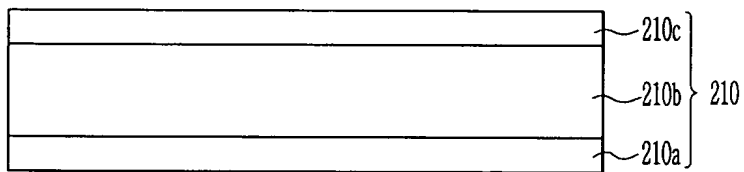
【도 1a】



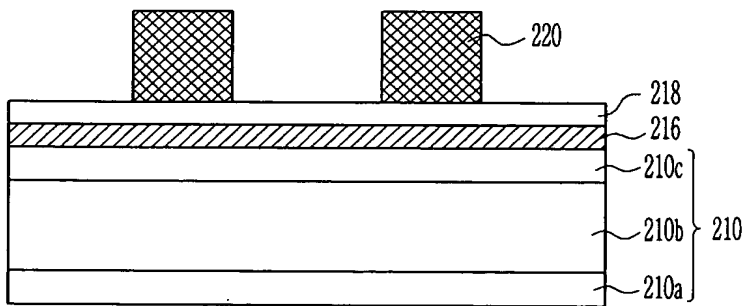
【도 1b】



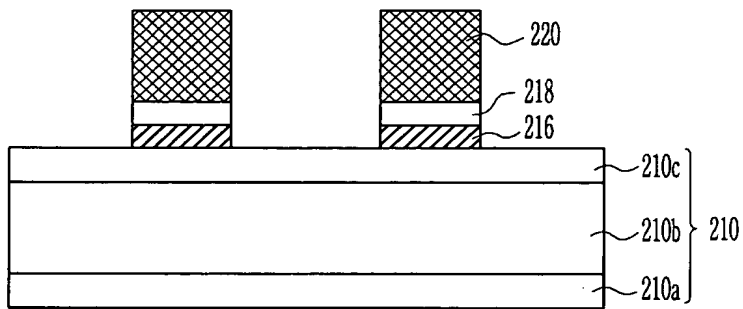
【도 2a】



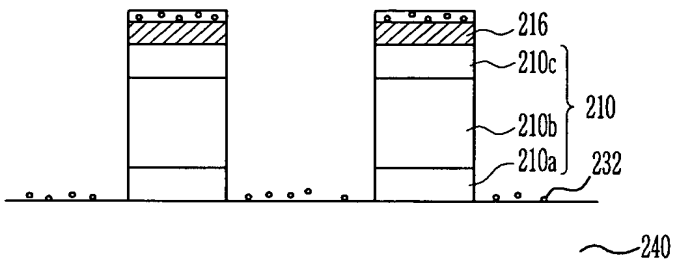
【도 2b】



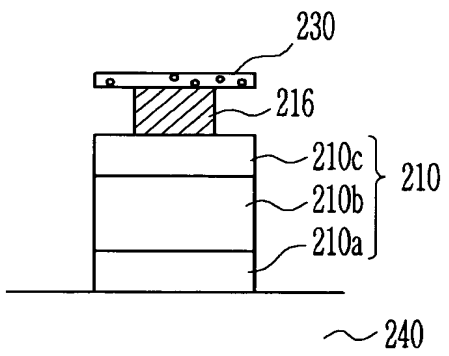
【도 2c】



【도 2d】



【도 3】



【도 4】

